

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Katsushige MATSUBARA
Title: AUDIO DATA STORAGE DEVICE
Appl. No.: Unassigned
Filing Date: 2/21/2001
Examiner: Unassigned
Art Unit: Unassigned



CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

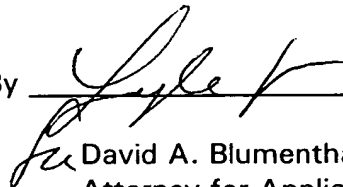
- Japan Patent Application No. 2000-044966 filed February 22, 2000.

Respectfully submitted,

Date: February 21, 2001

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By

 Reg #34075

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

CERTIFIED COPY OF
PRIORITY DOCUMENT

OSP-9946 us
88941/188

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

か
頁

09/788490



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2000年 2月22日

出 願 番 号
Application Number:

特願2000-044966

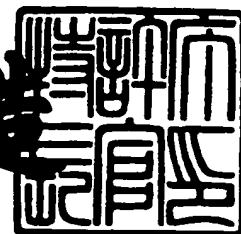
出 願 人
Applicant (s):

日本電気株式会社

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 75210218

【提出日】 平成12年 2月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H04J 3/00

【発明の名称】 音声データ格納装置およびその集積回路、記録媒体

【請求項の数】 14

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 松原 勝重

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100101465

 【弁理士】

 【氏名又は名称】 青山 正和

【選任した代理人】

 【識別番号】 100108453

 【弁理士】

 【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 音声データ格納装置およびその集積回路、記録媒体

【特許請求の範囲】

【請求項 1】 符号化されたデータを復号手段によって復号し、該復号した復号データを出力する復号装置において、

前記復号データとなる音声データを一時記憶する記憶手段と、

前記復号手段によって復号されるチャンネルを検出するチャンネル検出手段と

前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル数検出手段と、

前記記憶手段から読み出される音声データのサンプル数を検出する出力サンプル数検出手段と、

チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成手段と、

前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段と、

を具備することを特徴とする音声データ格納装置。

【請求項 2】 前記制御手段は、前記符号化されたデータに含まれる前記全チャンネル数と前記全サンプル数を検出し、前記アドレス生成手段へ出力することを特徴とする請求項 1 記載の音声データ格納装置。

【請求項 3】 入力される複数のチャンネルのデータを符号化手段によって符号化し、該符号化したデータを出力する符号化装置において、

前記入力されるデータを一時記憶する記憶手段と、

前記符号化手段によって符号化されるチャンネルを検出するチャンネル検出手段と、

前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル数検出手段と、

前記記憶手段から読み出される音声データのサンプル数を検出する出力サンプル数検出手段と、

前記チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成手段と、

前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段と、

を具備することを特徴とする音声データ格納装置。

【請求項4】 前記制御手段は、前記符号化されたデータに含まれる全チャンネル数と前記全サンプル数を予め記憶していることを特徴とする請求項1または請求項3記載の音声データ格納装置。

【請求項5】 前記アドレス生成部は、前記制御手段から音声データの読み出しが指示された場合に、読み出しが指示されたデータが格納されたアドレスを生成し、前記制御手段から音声データの書き込みが指示された場合に、前記制御手段によって音声データが読み出された後のアドレスを生成することを特徴とする請求項1ないし請求項4記載の音声データ格納装置。

【請求項6】 前記アドレス生成手段は、第1のアドレスの順序を指定する第1のアドレス生成手段と、第2のアドレスの順序を指定する第2のアドレス生成手段とを有し、

前記制御手段は、前記第1のアドレス生成手段と前記第2のアドレス生成手段を交互に切り替えて音声データの書き込みおよび読み出しの制御を行うことを特徴とする請求項1ないし請求項5記載の音声データ格納装置。

【請求項7】 符号化されたデータを復号手段によって復号し、該復号した復号データを出力する復号回路を有する集積回路装置において、

前記復号データとなる音声データを一時記憶する記憶手段と、

前記復号手段によって復号されるチャンネルを検出するチャンネル検出手段と

前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル

数検出手段と、

前記記憶手段から読み出される音声データのサンプル数を検出する出力サンプル数検出手段と、

チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成手段と、

前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段と、

を具備することを特徴とする集積回路装置。

【請求項 8】 前記制御手段は、前記符号化されたデータに含まれる前記全チャンネル数と前記全サンプル数を検出し、前記アドレス生成手段へ出力することを特徴とする請求項 8 記載の集積回路装置。

【請求項 9】 入力される複数のチャンネルのデータを符号化手段によって符号化し、該符号化したデータを出力する符号化回路を有する集積回路装置において、

前記入力されるデータを一時記憶する記憶手段と、

前記符号化手段によって符号化されるチャンネルを検出するチャンネル検出手段と、

前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル数検出手段と、

前記記憶手段から読み出される音声データのサンプル数を検出する出力サンプル数検出手段と、

前記チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成手段と、

前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段と、

を具備することを特徴とする集積回路装置。

【請求項 1 0】 前記制御手段は、前記符号化されたデータに含まれる全チャンネル数と前記全サンプル数を予め記憶していることを特徴とする請求項 7 または請求項 9 記載の集積回路装置。

【請求項 1 1】 前記アドレス生成部は、前記制御手段から音声データの読み出しが指示された場合に、読み出しが指示されたデータが格納されたアドレスを生成し、前記制御手段から音声データの書き込みが指示された場合に、前記制御手段によって音声データが読み出された後のアドレスを生成することを特徴とする請求項 7 ないし請求項 1 0 記載の集積回路装置。

【請求項 1 2】 前記アドレス生成手段は、第 1 のアドレスの順序を指定する第 1 のアドレス生成手段と、第 2 のアドレスの順序を指定する第 2 のアドレス生成手段とを有し、

前記制御手段は、前記第 1 のアドレス生成手段と前記第 2 のアドレス生成手段を交互に切り替えて音声データの書き込みおよび読み出しの制御を行うことを特徴とする請求項 7 ないし請求項 1 1 記載の集積回路装置。

【請求項 1 3】 符号化されたデータを復号ステップによって復号し、該復号した復号データを出力する復号プログラムを記録したコンピュータ読み取り可能な記録媒体において、

前記復号データとなる音声データを一時記憶する記憶ステップと、

前記復号手段によって復号されるチャンネルを検出するチャンネル検出ステップと、

前記記憶ステップに書き込まれる音声データのサンプル数を検出する入力サンプル数検出ステップと、

前記記憶ステップから読み出される音声データのサンプル数を検出する出力サンプル数検出ステップと、

チャンネル検出ステップの検出結果と、前記入力サンプル数検出ステップの検出結果と、前記出力サンプル数検出ステップの検出結果と、前記音声データの全チャンネル数と、1 つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成ステップ

と、

前記アドレス生成ステップが生成したアドレスに基づいて、前記記憶ステップに対し前記音声データの読み出しおよび書き込みの制御を行う制御ステップと、
をコンピュータに実行させる音声データ格納プログラムであることを特徴とする記録媒体。

【請求項 1 4】 入力される複数のチャンネルのデータを符号化ステップによって符号化し、該符号化したデータを出力する符号化プログラムを記録したコンピュータ読み取り可能な記録媒体において、

前記入力されるデータを一時記憶する記憶ステップと、

前記符号化手段によって符号化されるチャンネルを検出するチャンネル検出ステップと、

前記記憶ステップに書き込まれる音声データのサンプル数を検出する入力サンプル数検出ステップと、

前記記憶ステップから読み出される音声データのサンプル数を検出する出力サンプル数検出ステップと、

前記チャンネル検出ステップの検出結果と、前記入力サンプル数検出ステップの検出結果と、前記出力サンプル数検出ステップ手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成ステップ手段と、

前記アドレス生成ステップ部が生成したアドレスに基づいて、前記記憶ステップ手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御ステップと、

をコンピュータに実行させる音声データ格納プログラムであることを特徴とする記録媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、音声データを一時格納する音声データ格納装置に関するものである

る。

【0002】

【従来の技術】

MPEG2-AAC規格では、例えば、6チャンネル分の符号化された音声データを送信することが可能である。また、各チャンネルの音声データは、1フレーム毎に分けられる。ここで、フレームとは、伝送データの1まとまりのことであり、この1フレーム内には、例えば、1024個のPCM(Pulse Code Modulation:パルス符号変調)データが存在する。

【0003】

このような音声データをフレーム毎に復号し、復号されたPCMデータを一時記憶した後に出力する音声データ復号装置に用いられる音声データ格納装置について説明する。図8は、従来の音声データ格納装置の構成を示す概略ブロック図である。この図において、乗算器101は、復号する音声データのチャンネルの総数であるチャンネル数Mchと、1フレーム内に存在する複数のPCMデータに対しサンプリングされた時刻に対応づけて設定された時刻データであるサンプルインデックスnsampleの積を出力する。

【0004】

加算器102は、乗算器101からの出力と復号を行うチャンネル数を表わすチャンネルインデックスnchの数の和を出力する。セレクタ103は、外部から設定されるパラメータ γ によって、出力するアドレスを設定する。例えば、パラメータ γ が0に設定された場合、加算器102からの出力をアドレスDとしてバッファメモリ104へ出力し、また、パラメータ γ が1に設定された場合、加算器102からの出力をアドレスGとしてバッファメモリ105へ出力する。

【0005】

バッファメモリ104は、PCMデータを格納する場合、一時記憶するPCMデータとなる入力データEをセレクタ103から指示されるアドレスDに格納する。また、バッファメモリ104は、PCMデータを出力する場合、セレクタ103から指示されるアドレスDに格納されているPCMデータを出力データFとして出力する。バッファメモリ105は、PCMデータを格納する場合、一時記

憶するPCMデータとなる入力データHをセレクタ103から指示されるアドレスGに格納する。また、バッファメモリ105は、PCMデータを出力する場合、セレクタ103から指示されるアドレスGに格納されているPCMデータを出力データIとして出力する。

【0006】

しかし、上述した音声データ格納装置は、バッファメモリに格納するPCMデータの並びが1通りだけであるため、バッファメモリが1つだけだと、次フレームのデータが、まだ出力されていない現在のフレームデータを上書きしてしまう。従って、図9に示すように、従来の音声データ格納装置は、バッファメモリ105に格納されているPCMデータをデジタルデータからアナログデータに変換するD/A変換部111へ出力している間は、復号装置110から出力される復号されたPCMデータをバッファメモリ104へ格納していた（図9（a））。また、バッファメモリ104に格納されているPCMデータをD/A変換部111へ出力している間は、復号装置110から出力される復号されたPCMデータをバッファメモリ105へ格納していた（図9（b））。

【0007】

このため、従来の音声データ格納装置は、バッファメモリが2つ必要であった。例えば、MPEG2-AACの5.1chでは、6144サンプルを格納するバッファメモリが2つ（合計12288サンプル分）必要であった。このため、バッファメモリの領域が増大してしまうという問題点があった

【0008】

この問題点を解決するために、バッファメモリを1つ用いた方法が提案されている（特開平10-271082号公報）。この特開平10-271082号公報に記載の方法は、PCMデータを格納するバッファメモリが複数の領域に分割されている。そして、PCMデータをこの分割された記憶領域が書き込み可能であるか否かを記憶するためのレジスタと、各領域内に格納されているPCMデータを出力する時刻情報を記憶する記憶部を有している。そして、制御部はこの記憶部に記憶されている時刻情報に基づいてPCMデータをバッファメモリから出力する制御を行っていた。また、制御部は、バッファメモリからPCMデータが

出力される度に、PCMデータが出力された後の記憶領域に書きこみ可能であることをレジスタへ記憶する。そして、外部からPCMデータが入力された場合に、レジスタに記憶されている情報に基づき、書きこみ可能であるバッファメモリの記憶領域へ格納していた。従って、この方法では、バッファメモリを小さくするためには、バッファメモリの記憶領域を細分化し、管理する必要がある。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、上述した特開平 1 0 - 2 7 1 0 8 2 号公報に記載の方法においては、バッファメモリの記憶領域を細分化すると、レジスタおよび記憶部の記憶領域が増大してしまうという問題点があった。また、バッファメモリの領域を細分化すると、管理する対象となる記憶領域の数が増加し、制御が複雑になり、ハードウェアおよびソフトウェアの規模が大きくなってしまいう問題点があった。

本発明はこのような事情に鑑みてなされたもので、その目的は、バッファメモリの小型化を図ることができる音声メモリ格納装置を提供することにある。

また、本発明の他の目的は、ハードウェアおよびソフトウェアの規模を小さくすることができる音声メモリ格納装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記目的を達成するために、本発明のうち請求項 1 に記載の発明は、符号化されたデータを復号手段（例えば、実施の形態におけるデコード処理部 1 2）によって復号し、該復号した復号データを出力する復号装置において、前記復号データとなる音声データを一時記憶する記憶手段（例えば、実施の形態における PCM データバッファ 1 8）と、前記復号手段によって復号されるチャンネルを検出するチャンネル検出手段（例えば、実施の形態における入力 PCM チャンネルカウンタ 1 6）と、前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル数検出手段（例えば、実施の形態における入力 PCM カウンタ 1 5）と、前記記憶手段から読み出される音声データのサンプル数を検出する出力サンプル数検出手段（例えば、実施の形態における出力 PCM カウンタ 1 4）と

、チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数（例えば、実施の形態におけるチャンネル数M c h）と、1つのチャンネルに含まれる全サンプル数（例えば、実施の形態におけるサンプル数M s a m p l e）に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成手段（例えば、実施の形態におけるアドレス生成部17）と、前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段（例えば、実施の形態における制御部13）とを具備することを特徴とする。

【0011】

請求項2記載の発明は、請求項1記載の音声データ格納装置において、前記制御手段が、前記符号化されたデータに含まれる前記全チャンネル数と前記全サンプル数を検出し（例えば、実施の形態において、識別コードを検出した検出結果からこれらの情報を検出する動作）、前記アドレス生成手段へ出力することを特徴とする。

【0012】

請求項3記載の発明は、入力される複数のチャンネルのデータを符号化手段（例えば、実施の形態におけるエンコード処理部22）によって符号化し、該符号化したデータを出力する符号化装置において、前記入力されるデータを一時記憶する記憶手段（例えば、実施の形態におけるPCMデータバッファ28）と、前記符号化手段によって符号化されるチャンネルを検出するチャンネル検出手段（例えば、実施の形態における入力PCMチャンネルカウンタ26）と、前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル数検出手段（例えば、実施の形態における入力PCMカウンタ25）と、前記記憶手段から読み出される音声データのサンプル数を検出する出力サンプル数検出手段（例えば、実施の形態における出力PCMカウンタ24）と、前記チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行

うアドレスを生成するアドレス生成手段（例えば、実施の形態におけるアドレス生成部 2 7）と、前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段（例えば、実施の形態における制御部 2 3）とを具備することを特徴とする。

【 0 0 1 3 】

請求項 4 記載の発明は、請求項 1 または請求項 3 記載の音声データ格納装置において、前記制御手段が、前記符号化されたデータに含まれる全チャンネル数と前記全サンプル数を予め記憶している（例えば、実施の形態における制御部 1 3 または、制御部 2 3）ことを特徴とする。

【 0 0 1 4 】

請求項 5 記載の発明は、請求項 1 ないし請求項 4 記載の音声データ格納装置において、前記アドレス生成部が、前記制御手段から音声データの読み出しが指示された場合に、読み出しが指示されたデータが格納されたアドレスを生成し、前記制御手段から音声データの書き込みが指示された場合に、前記制御手段によって音声データが読み出された後のアドレスを生成することを特徴とする。

【 0 0 1 5 】

請求項 6 記載の発明は、請求項 1 ないし請求項 5 記載の音声データ格納装置において、前記アドレス生成手段が、第 1 のアドレスの順序を指定する第 1 のアドレス生成手段（例えば、実施の形態におけるモード 0）と、第 2 のアドレスの順序を指定する第 2 のアドレス生成手段（例えば、実施の形態におけるモード 1）とを有し、前記制御手段は、前記第 1 のアドレス生成手段と前記第 2 のアドレス生成手段を交互に切り替えて（例えば、実施の形態における制御信号 β ）音声データの書き込みおよび読み出しの制御を行うことを特徴とする。

【 0 0 1 6 】

請求項 7 記載の発明は、符号化されたデータを復号手段によって復号し、該復号した復号データを出力する復号回路を有する集積回路装置において、前記復号データとなる音声データを一時記憶する記憶手段と、前記復号手段によって復号されるチャンネルを検出するチャンネル検出手段と、前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル数検出手段と、前記記憶手段

から読み出される音声データのサンプル数を検出する出力サンプル数検出手段と、チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成手段と、前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段とを具備することを特徴とする。

【0017】

請求項8記載の発明は、請求項7記載の集積回路装置において、前記制御手段が、前記符号化されたデータに含まれる前記全チャンネル数と前記全サンプル数を検出し、前記アドレス生成手段へ出力することを特徴とする。

【0018】

請求項9記載の発明は、入力される複数のチャンネルのデータを符号化手段によって符号化し、該符号化したデータを出力する符号化回路を有する集積回路装置において、前記入力されるデータを一時記憶する記憶手段と、前記符号化手段によって符号化されるチャンネルを検出するチャンネル検出手段と、前記記憶手段に書き込まれる音声データのサンプル数を検出する入力サンプル数検出手段と、前記記憶手段から読み出される音声データのサンプル数を検出する出力サンプル数検出手段と、前記チャンネル検出手段の検出結果と、前記入力サンプル数検出手段の検出結果と、前記出力サンプル数検出手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成手段と、前記アドレス生成手段が生成したアドレスに基づいて、前記記憶手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御手段とを具備することを特徴とする。

【0019】

請求項10記載の発明は、請求項7または請求項9記載の集積回路装置において、前記制御手段が、前記符号化されたデータに含まれる全チャンネル数と前記全サンプル数を予め記憶していることを特徴とする。

【 0 0 2 0 】

請求項 1 1 記載の発明は、請求項 7 ないし請求項 1 0 記載の集積回路装置において、前記アドレス生成部は、前記制御手段から音声データの読み出しが指示された場合に、読み出しが指示されたデータが格納されたアドレスを生成し、前記制御手段から音声データの書き込みが指示された場合に、前記制御手段によって音声データが読み出された後のアドレスを生成することを特徴とする。

【 0 0 2 1 】

請求項 1 2 記載の発明は、請求項 7 ないし請求項 1 1 記載の集積回路装置において、前記アドレス生成手段が、第 1 のアドレスの順序を指定する第 1 のアドレス生成手段と、第 2 のアドレスの順序を指定する第 2 のアドレス生成手段とを有し、前記制御手段は、前記第 1 のアドレス生成手段と前記第 2 のアドレス生成手段を交互に切り替えて音声データの書き込みおよび読み出しの制御を行うことを特徴とする。

【 0 0 2 2 】

請求項 1 3 記載の発明は、符号化されたデータを復号ステップによって復号し、該復号した復号データを出力する復号プログラムを記録したコンピュータ読み取り可能な記録媒体において、前記復号データとなる音声データを一時記憶する記憶ステップと、前記復号手段によって復号されるチャンネルを検出するチャンネル検出ステップと、前記記憶ステップに書き込まれる音声データのサンプル数を検出する入力サンプル数検出ステップと、前記記憶ステップから読み出される音声データのサンプル数を検出する出力サンプル数検出ステップと、チャンネル検出ステップの検出結果と、前記入力サンプル数検出ステップの検出結果と、前記出力サンプル数検出ステップの検出結果と、前記音声データの全チャンネル数と、1 つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成ステップと、前記アドレス生成ステップが生成したアドレスに基づいて、前記記憶ステップに対し前記音声データの読み出しおよび書き込みの制御を行う制御ステップとをコンピュータに実行させる音声データ格納プログラムであることを特徴とする。

【 0 0 2 3 】

請求項 1 4 記載の発明は、入力される複数のチャンネルのデータを符号化ステップによって符号化し、該符号化したデータを出力する符号化プログラムを記録したコンピュータ読み取り可能な記録媒体において、前記入力されるデータを一時記憶する記憶ステップと、前記符号化手段によって符号化されるチャンネルを検出するチャンネル検出ステップと、前記記憶ステップに書き込まれる音声データのサンプル数を検出する入力サンプル数検出ステップと、前記記憶ステップから読み出される音声データのサンプル数を検出する出力サンプル数検出ステップと、前記チャンネル検出ステップの検出結果と、前記入力サンプル数検出ステップの検出結果と、前記出力サンプル数検出ステップ手段の検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込みおよび読み出しを行うアドレスを生成するアドレス生成ステップ手段と、前記アドレス生成ステップ部が生成したアドレスに基づいて、前記記憶ステップ手段に対し前記音声データの読み出しおよび書き込みの制御を行う制御ステップとをコンピュータに実行させる音声データ格納プログラムであることを特徴とする。

【 0 0 2 4 】

【発明の実施の形態】

以下、本発明の一実施形態による音声データ格納装置を図面を参照して説明する。この実施例では、MPEG2-AAC規格であり、チャンネル数が6、1フレームに1024個のPCMデータが存在するものとして説明する。図1は、この発明の一実施形態による音声データ格納装置の構成を示す概略ブロック図である。この図において、圧縮データ入力部10は、外部から入力される符号化された音声データに含まれるPCMデータを圧縮データ入力バッファ11へ出力する。また、圧縮データ入力部10は、入力される符号化された音声データに含まれる識別コードを検出し、この検出結果を制御部13へ出力するとともに、各チャンネルの先頭となるフレームの先頭を検知する。

【 0 0 2 5 】

圧縮データ入力バッファ11は、圧縮データ入力部10から出力される符号化されたPCMデータを一時記憶し、デコード処理部12へ出力する。デコード処

理部 1 2 は、圧縮データ入力バッファ 1 1 から出力される符号化された PCM データを 1 フレーム毎にデコード（復号）し、デコードした PCM データを PCM データバッファ 1 8 へ出力する。制御部 1 3 は、圧縮データ入力部 1 0 から出力される識別コードの検出結果に基づいて、符号化された音声データに存在する音声データのチャンネルの総数であるチャンネル数 Mch と、1 フレーム内に存在する PCM データの数であるサンプル数 $Msample$ を検出する。また、制御部 1 3 は、読み出しおよび書き込みアドレスを生成するモード 0 とモード 1 の切り替えの指示をする制御信号 β をアドレス生成部 1 7 へ出力する。また、制御部 1 3 は、装置各部の制御を行う（詳細は後述する）。

【 0 0 2 6 】

出力 PCM カウンタ 1 4 は、PCM データバッファ 1 8 から PCM 出力部 1 9 へ出力される PCM データの数を制御部 1 3 を介してカウントし、このカウント値を制御部 1 3 へ出力する。入力 PCM カウンタ 1 5 は、デコード処理部 1 2 から PCM データバッファ 1 8 へ出力される PCM データの数を制御部 1 3 を介してカウントし、このカウント値を制御部 1 3 へ出力する。入力 PCM チャンネルカウンタ 1 6 は、デコード処理部 1 2 においてデコード処理されるチャンネルの数を制御部 1 3 を介してカウントし、このカウント値を制御部 1 3 へ出力する。

【 0 0 2 7 】

アドレス生成部 1 7 は、デコード処理部 1 2 から出力される PCM データを PCM データバッファ 1 8 に格納するためのアドレスの生成と、PCM データを PCM データバッファ 1 8 から PCM 出力部 1 9 へ出力される PCM データが格納されているアドレスの生成を行う。これらのアドレスは、後述するモード 0 とモード 1 によって生成される。この 2 つのモードは、制御部 1 3 から指示される制御信号 β によって切り替えが行われる。

【 0 0 2 8 】

次に、このモード 0 とモード 1 について説明する。アドレス生成部 1 7 は、制御部 1 3 から出力されるチャンネル数 Mch と、サンプル数 $Msample$ と、書き込みまたは読み出しを行う PCM データに含まれるサンプリングされた時刻に対応づけて設定された時刻データであるサンプルインデックス $nsample$

と、書き込みまたは読み出しされるチャンネル数であるチャンネルインデックス nch に基づいて、アドレスを生成する。このときサンプルインデックス $nsample$ は $0 \leq nsample < Msample$ であり、チャンネルインデックス nch は、 $0 \leq nch < Mch$ である。このサンプルインデックス $nsample$ は、読み出しアドレスを生成する場合、出力PCMカウンタ14カウント値が用いられ、書き込みアドレスを生成する場合、入力PCMカウンタ15のカウント値が用いられる。

【0029】

そして、アドレス生成部17は、モード0の場合、上記のパラメータを用い以下に示す(1)式に基づいて、モード0におけるアドレス $mode0_address(nch, nsample)$ を生成する。

$$mode0_address(nch, nsample) = int(nsample / \alpha) + (nsample \% \alpha) * Mch + \alpha * nch \dots (1)$$

ここで、パラメータ α は、チャンネル数 Mch とサンプル数 $Msample$ に基づき、 $Msample / Mch$ なる式によって決定され、小数点未満は切り上げるものとする。また、 $int(x)$ は、 x の小数部切り捨てを表わし、 $x \% y$ は、 x を y で割ったときの剰余を表わす。以下、アドレス $mode0_address(nch, nsample)$ をアドレス $mode0_address$ と称す。

【0030】

また、アドレス生成部17は、モード1の場合、以下に示す(2)式に基づいて、アドレス $mode1_address(nch, nsample)$ を生成する。

$$mode1_address(nch, nsample) = nsample * Mch + nch \dots (2)$$

以下、アドレス $mode1_address(nch, nsample)$ をアドレス $mode1_address$ と称す。

【0031】

また、(1)式および(2)式によって生成されるモード0、モード1のアド

レスの相対的な関係を、以下の示す(3)式、(4)式に示す。

$$\{\text{mode0_address}(nch, \text{全てのサンプル})\} = \{\text{mode1_address}(\text{全てのチャンネル}, \alpha * nch \sim \alpha * (nch + 1) - 1 \text{のサンプル})\} \dots\dots (3)$$

$$\{\text{mode1_address}(nch, \text{全てのサンプル})\} = \{\text{mode0_address}(\text{全てのチャンネル}, \alpha * nch \sim \alpha * (nch + 1) - 1 \text{のサンプル})\} \dots\dots (3)$$

【0032】

PCMデータバッファ18は、デコード処理部12から出力されるPCMデータをアドレス生成部17から設定されるアドレスに格納する。また、PCMデータバッファ18は、アドレス生成部17から設定されるアドレスに格納されているPCMデータをPCM出力部19へ出力する。PCM出力部19は、各チャンネル毎における同じチャンネルインデックス n_{sample} のPCMデータを一括して外部へ出力する。

【0033】

次に、図2を用いて、アドレス生成部17についてさらに詳細に説明する。この図において、アドレス生成部17は、乗算器1と、除算器2と、乗算器3と、乗算器4と、加算器5と、加算器6と、セレクタ7によって構成される。乗算器1は、パラメータ α とチャンネルインデックス nch の積を出力する。除算器2は、サンプルインデックス n_{sample} をパラメータ α で割った商 S と剰余 J を算出し、商 S を加算器5へ出力し、剰余 J を乗算器3へ出力する。

【0034】

乗算器3は、剰余 J とチャンネル数 Mch の積を加算器5へ出力する。乗算器4は、サンプルインデックス n_{sample} とチャンネル数 Mch の積を加算器6へ出力する。加算器5は、乗算器1の出力と乗算器3の出力と商 S の和を出力する。加算器6は、チャンネルインデックス nch と乗算器4の出力の和を出力する。セレクタ7は、制御部13から設定されるパラメータ β が0(モード0)のときは加算器5の出力を選択し、パラメータ β が1(モード1)のときは、加算器6の出力を選択し、アドレスAとしてPCMデータバッファ18へ出力する。

【 0 0 3 5 】

PCMデータバッファ18は、データを格納する場合、デコード処理部12から出力されるPCMデータをセレクタ7から指示されるアドレスAに格納し、データを出力する場合、セレクタ7から指示されるアドレスAに格納されているPCMデータを出力データCとしてPCM出力部19へ出力する。

【 0 0 3 6 】

次に、図1の構成における装置の動作について、図3のフローチャートを用いて説明する。まず、各部に電源が投入された後、制御部13は、出力PCMカウンタ14、入力PCMカウンタ15、入力PCMチャンネルカウンタ16のカウント値をそれぞれ「0」に設定し、PCMデータバッファ18に記憶されているPCMデータを消去する。そして、圧縮データ入力部10は、符号化された音声データが入力されると、この符号化された音声データに含まれる識別コードを検出し、この検出結果を制御部13へ出力するとともに、各チャンネルに対応するフレームの先頭を検知し、検知した結果を制御部13へ出力する。また、圧縮データ入力部10は、この音声データに含まれる符号化されたPCMデータを圧縮データ入力バッファ11へ出力する。

【 0 0 3 7 】

次に、制御部13は、圧縮データ入力部10から出力される識別コードの検出結果に基づいて、チャンネル数Mchである「6」と、サンプル数Msampl eである「1024」を検出する。また、制御部13は、フレームの先頭の検出結果が入力されると、デコードするチャンネル数nchを0chに設定し（ステップS1）、デコード処理部12へ0chのPCMデータのデコード処理指示を行うとともに、アドレス生成部17へチャンネル数Mchである「6」と、サンプル数Msampl eである「1024」を出力する。デコード処理部12は、制御部13から0chのデコード処理が指示され、圧縮データ入力バッファ11から符号化されたPCMデータが入力されると、この符号化されたPCMデータのデコード処理を行い、PCMデータを生成する（ステップS2）。

【 0 0 3 8 】

次に、制御部 13 は、PCM データバッファ 18 に格納されている PCM データの出力を行う処理があるが、ここでは、まだ PCM データが格納されていないので、すべてのチャンネルにおける PCM データが PCM データバッファ 18 に格納されるまで、このステップ S3 における処理は省略される。

【0039】

次に、制御部 13 は、アドレス生成部 17 に対し、制御信号 β を「0」に設定し、モード 0 におけるアドレスの生成を指示する。アドレス生成部 17 は、チャンネル数 Mch である「6」と、サンプル数 $Msample$ である「1024」、入力 PCM カウンタ 15 のカウント値である「0」と、入力 PCM チャンネルカウンタ 16 のカウント値である「0」を (1) 式に基づいてアドレス $mode0_address$ を生成する。そして、アドレス生成部 17 は、生成したアドレス $mode0_address$ を PCM データバッファ 18 へ設定する。PCM データバッファ 18 は、デコード処理部 12 から 1 つの PCM データが入力されると、この PCM データをアドレス生成部 17 から設定されたアドレス $mode0_address$ へ格納する (ステップ S4)。そして、PCM データが PCM データバッファ 18 へ格納されると、入力 PCM カウンタ 15 は、カウントアップする。

【0040】

次に、制御部 13 は、入力 PCM カウンタ 15 のカウンタ値とサンプル数 $Msample$ に基づき、0 ch における PCM データをすべてのデータの格納が完了したか否かを検出する (ステップ S5)。

【0041】

すべてのデータを格納していない場合、制御部 13 は、ステップ S3 の処理を省略した後、アドレス生成部 17 に対し、モード 0 におけるアドレスの生成を指示する。アドレス生成部 17 は、カウントアップされた入力 PCM カウンタ 15 のカウント値である「1」と、上述したパラメータ値と (1) 式に基づいてアドレス $mode0_address$ を生成し、PCM データバッファ 18 へ設定する。PCM データバッファ 18 は、デコード処理部 12 から 1 つの PCM データが入力されると、この PCM データをアドレス生成部 17 から設定されたアドレ

スmode0__addressへ格納する（ステップS4）。そして、PCMデータがPCMデータバッファ18へ格納されると、入力PCMカウンタ15は、カウントアップする。

【0042】

そして、0chにおける全てのPCMデータがPCMデータバッファ18へ格納されるまで、上述のステップS3からステップS5の処理動作が繰り返される。

【0043】

次に、0chのすべてのPCMデータが格納された後、1chの符号化されたPCMデータが入力されると、圧縮データ入力部10は、フレームの先頭を検出し、検出結果を制御部13へ出力する。制御部13は、圧縮データ入力部10からフレームの先頭を検出した検出結果が出力されると、デコードするチャンネル数nchを1chに設定し、デコード処理部12へ1chのPCMデータのデコード処理指示をする。このとき、入力PCMチャンネルカウンタ16は、カウント値を「1」にカウントアップする（ステップS6）。そして、制御部13は、この入力PCMチャンネルカウンタ16のカウント値と、チャンネル数Mchに基づいて、全てのチャンネルについてデコード処理が終わったか否かを検出する（ステップS7）。

【0044】

この場合、全てのチャンネルについてデコード処理が終わっていないので、制御部13は、デコード処理部12へ1chのデコード処理を指示する。デコード処理部12は、圧縮データ入力バッファ11から符号化されたPCMデータが入力され、制御部13から1chのデコード処理が指示されると、この符号化されたPCMデータのデコード処理を行い、PCMデータを生成する（ステップS2）。

【0045】

次に、制御部13は、ステップS3における処理を省略した後、アドレス生成部17に対し、モード0におけるアドレスの生成を指示する。アドレス生成部17は、入力PCMカウンタ15のカウント値である「0」と、入力PCMチャン

ネルカウンタ 1 6 のカウント値である「1」を (1) 式に基づいてアドレスを生成し、この生成したアドレス `mode0_address` を PCM データバッファ 1 8 へ設定する。PCM データバッファ 1 8 は、デコード処理部 1 2 から 1 つの PCM データが入力されると、この PCM データをアドレス生成部 1 7 から設定されたアドレスへ格納する (ステップ S 4)。そして、PCM データが PCM データバッファ 1 8 へ格納されると、入力 PCM カウンタ 1 5 は、カウントアップする。そして、1 c h における全ての PCM データが PCM データバッファ 1 8 へ格納されるまで、上述のステップ S 3 からステップ S 5 の処理動作が繰り返される。

【 0 0 4 6 】

次に、1 c h のすべての PCM データが格納された後、2 c h の符号化された PCM データが入力されると、圧縮データ入力部 1 0 は、フレームの先頭を検出し、検出結果を制御部 1 3 へ出力する。制御部 1 3 は、圧縮データ入力部 1 0 からフレームの先頭を検出した検出結果が出力されると、デコードするチャンネル数 `n c h` を 2 c h に設定し、デコード処理部 1 2 へ 1 c h の PCM データのデコード処理指示をする。このとき、入力 PCM チャンネルカウンタ 1 6 は、カウント値を「2」にカウントアップする (ステップ S 6)。そして、制御部 1 3 は、この入力 PCM チャンネルカウンタ 1 6 のカウント値と、チャンネル数 `M c h` に基づいて、全てのチャンネルについてデコード処理が終わったか否かを検出する (ステップ S 7)。

【 0 0 4 7 】

全てのチャンネルについてデコード処理が終わっていない場合、制御部 1 3 は、デコード処理部 1 2 へ 2 c h のデコード処理を指示する。そして、全てのチャンネルにおいてデコード処理が完了するまで、上述のステップ S 2 からステップ S 7 の処理動作が繰り返される。

【 0 0 4 8 】

すべてのチャンネル (0 c h から 5 c h) についてデコード処理が完了し、PCM データの格納が完了すると、制御部 1 3 は、デコード処理を行うチャンネルを 0 c h に設定した後 (ステップ S 1)、上述したステップ S 2 の処理を行う制

御を行う。

【 0 0 4 9 】

そして、制御部 1 3 は、アドレス生成部 1 7 に対し、モード 0 において各チャンネル (0 ~ 5 c h) の PCM データを出力する指示をする。アドレス生成部 1 7 は、制御部 1 3 からの指示に基づき、チャンネル数を 0 c h から 5 c h について、チャンネル数 M c h である「 6 」と、サンプル数 M s a m p l e である「 1 0 2 4 」、出力 PCM カウンタ 1 4 のカウント値である「 0 」と、チャンネル数「 0 」と (1) 式に基づいてアドレス m o d e 0 _ a d d r e s s を生成する。そして、アドレス生成部 1 7 は、生成したアドレス m o d e 0 _ a d d r e s s を順次 PCM データバッファ 1 8 へ設定する。PCM データバッファ 1 8 は、アドレス生成部 1 7 によってアドレス m o d e 0 _ a d d r e s s が設定される度にアドレス内に格納されている PCM データを PCM 出力部 1 9 へ出力する (ステップ S 3) 。これにより、サンプルインデックス n s a m p l e が 0 に設定されている 0 c h から 5 c h の PCM データが PCM 出力部 1 9 へ出力される。PCM 出力部 1 9 は、PCM データバッファ 1 8 から出力される各データを一括して外部へ出力する。そして、出力 PCM カウンタ 1 4 は、カウント値を「 1 」にカウントアップする。

【 0 0 5 0 】

次に、制御部 1 3 は、アドレス生成部 1 7 に対し、モード 1 におけるアドレスの生成を指示するが、ステップ S 3 において、6 つの PCM データを出力したので、6 つのアドレスを生成する指示をする。アドレス生成部 1 7 は、入力 PCM カウンタ 1 5 のカウント値である「 0 」と、上述したパラメータ値と (2) 式に基づいてアドレス m o d e 1 _ a d d r e s s を生成し、PCM データバッファ 1 8 へ設定する。PCM データバッファ 1 8 は、デコード処理部 1 2 から 1 つの PCM データが入力されると、この PCM データをアドレス生成部 1 7 から設定されたアドレス m o d e 1 _ a d d r e s s へ格納する (ステップ S 4) 。そして、PCM データが PCM データバッファ 1 8 へ格納されると、入力 PCM カウンタ 1 5 は、カウントアップする。そして、アドレス生成部 1 7 は、残りの 5 つの PCM データが PCM データバッファ 1 8 に格納されるまで、順次アドレスの

生成を行う。この場合、0 c hの全てのデータが格納されたら、6つのアドレスが生成されなくてもステップS 5に移行する。そして、制御部1 3は、0 c hにおけるPCMデータを全て格納したか否かを検出し（ステップS 5）、全てのPCMデータが格納されていない場合、全てのPCMデータが格納されるまでステップS 3からステップS 5の処理動作を行う。

【0 0 5 1】

次に、0 c hにおいて全てのPCMデータが格納されたのち、1 c hの符号化されたPCMデータが入力されると、圧縮データ入力部1 0は、フレームの先頭を検出し、検出結果を制御部1 3へ出力する。制御部1 3は、デコードするチャンネル数0 c hを1 c hに設定し、デコード処理部1 2へ1 c hのPCMデータのデコード処理指示をする。このとき、入力PCMチャンネルカウンタ1 6は、カウント値を「1」にカウントアップする（ステップS 6）。そして、制御部1 3は、この入力PCMチャンネルカウンタ1 6のカウント値と、チャンネル数M c hに基づいて、全てのチャンネルについてデコード処理が終わったか否かを検出する（ステップS 7）。この場合、全てのチャンネルについてデコード処理が終わっていないので、制御部1 3は、デコード処理部1 2へ1 c hのデコード処理を行う指示する。

【0 0 5 2】

全てのチャンネルについてデコード処理が終わっていない場合、制御部1 3は、デコード処理部1 2へ1 c hのデコード処理を指示する。そして、全てのチャンネルにおいてデコード処理が完了するまで、上述のステップS 2からステップS 7の処理動作が繰り返される。

【0 0 5 3】

すべてのチャンネル（0 c hから5 c h）についてデコード処理が完了し、PCMデータの格納が完了すると、制御部1 3は、デコード処理を行うチャンネルを0 c hに設定した後（ステップS 1）、上述したステップS 2の処理を行う制御を行う。

【0 0 5 4】

そして、制御部1 3は、アドレス生成部1 7に対し、モード1において各チャ

ンネル (0 ~ 5 c h) の PCM データを出力する指示をする。アドレス生成部 17 は、(2) 式に基づいてアドレス `model__address` を生成し、生成したアドレス `model__address` を順次 PCM データバッファ 18 へ設定する。PCM データバッファ 18 は、アドレス生成部 17 によってアドレス `model__address` が設定される度にアドレス内に格納されている PCM データを PCM 出力部 19 へ出力する (ステップ S3)。

【0055】

次に、制御部 13 は、アドレス生成部 17 に対し、モード 0 において 6 つのアドレスを生成する指示をする。アドレス生成部 17 は、(1) 式に基づいてアドレス `mode0__address` を生成し、PCM データバッファ 18 へ設定する。PCM データバッファ 18 は、デコード処理部 12 から出力される PCM データをアドレス生成部 17 から設定されたアドレス `mode0__address` へ格納する (ステップ S4)。そして、入力 PCM カウンタ 15 は、PCM データが PCM データバッファ 18 へ格納されるごとにカウントアップする。そして、アドレス生成部 17 は、残りの 5 つの PCM データが PCM データバッファ 18 に格納されるまで、順次アドレスの生成を行う。

【0056】

次に、制御部 13 によってモード 0 およびモード 1 において PCM データバッファ 18 のデータが格納された状態について図面を用いて説明する。

まず、図 4 を用いて、モード 0 においてデータが格納された状態を説明する。この図に示すように、0 c h の PCM データは、アドレス 0000 (h) からアドレス 03FA (h) および 03FC (h) から 0400 (h) までの領域に格納される。そして、1 c h の PCM データは、0402 (h) から 0803 (h) の領域内に、2 c h の PCM データは、0804 (h) から 0C05 (h) の領域内に、そして、以下同様に、5 c h までそれぞれ PCM データが行方向に格納される。

【0057】

この状態において、制御部 13 からの指示によって、モード 0 において PCM データの出力が行われ、この PCM データが出力された後の記憶領域にモード 1

において 0 c h の PCM データの書き込みが行われると、PCM データバッファ 1 8 の格納状態は、図 5 (a) のように示される。

【 0 0 5 8 】

例えば、各チャンネルにおけるサンプルインデックス 0 から 3 4 1 までの PCM データがモード 0 において出力され、0 c h の 1 フレーム分の PCM データが入力された場合のデータの格納状態は、図 5 (a) のように表わされる。この図に示すように、モード 0 によって格納されたデータがモード 0 によって出力され、書き込み可能になった領域内に 1 c h のデータがモード 1 によって格納される。

【 0 0 5 9 】

そして、モード 0 において PCM データの出力が行われ、この PCM データが出力された後の記憶領域にモード 1 において 0 c h から 5 c h までのすべての PCM データが PCM データバッファ 1 8 に格納された状態を図 6 に示す。この図において 0 c h のデータは、アドレス 0 0 0 0 (h) 、アドレス 0 1 0 6 (h) 、アドレス 0 0 0 C (h) 、…、アドレス 1 7 F A (h) のように列方向に格納される。また、1 c h においてデータは、0 0 0 1 (h) 、0 0 0 7 (h) 、…、アドレス 1 7 F B (b) のように縦方向に格納される。以下、2 c h から 5 c h においても同様にデータが列方向に格納される。

【 0 0 6 0 】

そして、各チャンネルにおける 0 から 3 4 1 までの時刻データがモード 1 において出力され、0 c h の 1 フレーム分の PCM データが格納された場合のメモリの格納状態を、図 5 (b) に示す。この図に示すように、モード 1 によって格納されたデータがモード 1 において出力され、書き込み可能になった領域内に 0 c h のデータがモード 0 によって格納される。

【 0 0 6 1 】

以上のように、モード 0 とモード 1 を交互に切り替えて、PCM データの読み出しおよび書き込みを行うため、デコード処理部 1 2 から出力される PCM データは、PCM データバッファ 1 8 内に存在するまだ読み出しされていない PCM データを上書きすることがない。従って、PCM データを 1 つのバッファメモリ

へ格納することができ、さらに記憶領域を削減することが可能である。

【 0 0 6 2 】

次に、この発明の第 2 の実施形態について図面を用いて説明する。図 7 は音声データ格納装置を適用した音声データを符号化する音声データ符号化装置の構成を表わす図面である。この図において、PCM 入力部 2 0 は、外部から入力される復号された 6 チャンネル分の音声データに含まれる PCM データを PCM データバッファ 2 8 へ出力する。

【 0 0 6 3 】

アドレス生成部 2 7 は、PCM 入力部 2 0 から出力される PCM データを PCM データバッファ 2 8 に格納するためのアドレスの生成と、PCM データを PCM データバッファ 2 8 からエンコード処理部 2 2 へ出力するためのアドレスを生成する。これらのアドレスは、第 1 の実施形態と同様に、制御部 2 3 によって指示される制御信号 β に基づき、モード 0 とモード 1 によって生成される。このモード 0 とモード 1 に用いられる式も第 1 の実施形態と同様に、上述した (1) 式と (2) 式のよって表わされる。また、アドレス生成部 2 7 の構成は、第 1 の実施例と同様に、図 2 のように示される。

【 0 0 6 4 】

PCM データバッファ 2 8 は、PCM 出力部 2 0 から出力される PCM データをアドレス生成部 2 7 から指示されるアドレスに格納する。また、PCM データバッファ 2 8 は、アドレス生成部 2 7 から指示されるアドレスに記憶されている PCM データをエンコード処理部 2 2 へ出力する。さらに、PCM データバッファ 2 8 へ PCM データが記憶された状態は、第 1 の実施例と同様に図 4、図 6 のように示される。

【 0 0 6 5 】

エンコード処理部 2 2 は、PCM データバッファ 2 8 から出力される復号された PCM データを各チャンネル毎にエンコード（符号化）し、エンコードした PCM データを圧縮データ出力バッファ 2 1 へ出力する。圧縮データ入力バッファ 2 1 は、エンコード処理部 2 2 から出力される符号化された PCM データを一時記憶し、圧縮データ出力部 2 9 へ出力する。圧縮データ出力部 2 9 は、各チャン

ネルにおける1フレーム分のPCMデータを一括して外部へ出力する。

【0066】

制御部23は、読み出しおよび書き込みアドレスを生成するモード0とモード1の切り替えを指示する制御信号 β をアドレス生成部17へ出力する。また、制御部23は、入力される全チャンネル数 $Mch (= 6)$ と、全サンプルデータ数 $Msample (= 1024)$ を予め記憶してある。また、制御部23は、装置各部の制御を行う（詳細は後述する）。

【0067】

出力PCMカウンタ24は、PCMデータバッファ28からエンコード処理部22へ出力されるPCMデータの数を制御部23を介してカウントし、このカウント値を制御部23へ出力する。入力PCMカウンタ25は、PCM入力部20から出力され、データバッファ28へ格納されるPCMデータの数を制御部23を介してカウントし、このカウント値を制御部23へ出力する。入力PCMチャンネルカウンタ26は、PCM入力部20からPCMデータが出力されるチャンネルの数を制御部13を介してカウントし、このカウント値を制御部23へ出力する。

【0068】

次に、図7の構成における装置の動作について説明する。まず、各部に電源が投入されると、制御部23は、出力PCMカウンタ24、入力PCMカウンタ25、入力PCMチャンネルカウンタ26のカウント値をそれぞれ「0」に設定する。そして、0chから5chにおける同じサンプルインデックスのPCMデータがPCM入力部20へ入力されると、PCM入力部20は、入力されたPCMデータを各チャンネル毎にPCMデータバッファ28へ出力する。このとき、入力PCMカウンタ25は、PCM入力部20からPCMデータバッファ28へ出力されるPCMデータの同じサンプルインデックスが入力された数をカウントする。また、入力PCMチャンネルカウンタ26は、PCM入力部20からPCMデータバッファ28へチャンネル毎に順次出力されるPCMデータのチャンネル数をカウントする。

【0069】

制御部 2 3 は、PCM 入力部 2 0 から PCM データが出力される毎にアドレス生成部 2 7 へモード 0 におけるアドレスの生成を指示するとともに、全チャンネル数 6 と、全サンプル数 1 0 2 4 を出力する。アドレス生成部 2 7 は、制御部 2 3 からの指示に基づき、入力 PCM カウンタ 2 5 のカウント値と、入力 PCM チャンネルカウンタ 2 6 のカウント数と、入力される全チャンネル数 6 と、全サンプルデータ数 1 0 2 4 と、(1) 式に基づいて、PCM 入力部 2 0 から PCM データが出力される毎にアドレス `mode 0__address` を生成し、PCM データバッファ 2 8 へ設定する。

【 0 0 7 0 】

そして、PCM データバッファ 2 8 は、PCM 入力部 2 0 から出力される PCM データを、アドレス生成部 2 7 から設定されるアドレス `mode 0__address` へ順次格納する。そして、入力 PCM カウンタ 2 5 のカウント値に基づき、各チャンネル毎に 1 0 2 4 個の全ての PCM データが PCM データバッファ 2 8 へ格納されると、PCM データバッファ 2 8 の格納状態は、図 4 のように示される。

【 0 0 7 1 】

次に、全チャンネルの全ての PCM データが PCM データバッファ 2 8 へ格納されると、制御部 2 3 は、アドレス生成部 2 7 へモード 0 において `0 c h` の PCM データを読み出すアドレスの生成指示をする。アドレス生成部 2 7 は、出力 PCM カウンタ 2 4 `m p` カウント値と (1) 式に基づき、`0 c h` におけるサンプルインデックスが 0 から 1 0 2 3 までの PCM データが格納されているアドレス `mode 0__address` を生成し、PCM データバッファ 2 8 へ設定する。PCM データバッファ 2 8 はアドレス生成部 2 7 から設定されるアドレスに格納されている PCM データをエンコード処理部 2 2 へ順次出力する、エンコード処理部 2 2 は、PCM データバッファ 2 8 から `0 c h` における全ての PCM データが出力されると、`0 c h` における全ての PCM データをエンコードし、`0 c h` におけるエンコードされた PCM データを圧縮データ出力バッファ 2 1 へ出力する。圧縮データ出力バッファ 2 1 は、エンコード処理部 2 2 から出力された `0 c h` におけるエンコードされた PCM データを圧縮データ出力部 2 9 を介して外部へ出力

する。そして、PCMデータバッファ28に格納されている1chから5chにおけるPCMデータについても同様に、アドレス生成部27から読み出しアドレスが設定される度にエンコード処理部22へ出力される。

【0072】

一方、0chのPCMデータが出力された後にPCM入力部20へ0chから5chにおける同じサンプルインデックスのPCMデータがPCM入力部20へ順次入力されると、制御部23は、アドレス生成部27に対し、モード1においてPCMデータを書き込むアドレスを順次生成させる。アドレス生成部27は、
(2)式に基づいて、アドレス`model__address`を生成し、順次PCMデータバッファ28へ設定する。PCMデータバッファ28は、PCM入力部20から出力されるPCMデータをアドレス生成部27から設定されるアドレス`model__address`へ順次格納する。そして、モード1において全チャネルのPCMデータがPCMデータバッファ28へ格納されると、図6のように示される。

【0073】

そして、PCMデータバッファ28に格納されたPCMデータは、アドレス生成部27からモード1によって設定されるアドレス毎にエンコード処理部22へ出力される。

以下同様に、制御部23は、PCMデータバッファ28に対し、モード0とモード1を交互に切り替えるとともに、PCMデータの書き込みおよび読み出しを行う。

【0074】

以上説明したように、データバッファからPCMデータが読み出された後のアドレスに、新たに入力されるPCMデータを書き込むようにしたので、音声PCMデータを格納するデータバッファのメモリサイズを従来に比べて小さくすることができる。例えば、従来では、6144(=1024×6)個のサンプルを格納するバッファメモリが2つ必要であるため、合計12288(=6144×2)個のサンプルを格納しなければならなかったが、本発明を用いれば、6156(=1026×6)サンプルを格納するバッファメモリが1つですむ。

【 0 0 7 5 】

上述した実施例においては、MPEG2-AACの規格において全チャンネル数が6チャンネルであり、1フレームのPCMデータ数が1024である場合について説明したが、この発明は6チャンネルで1024個のPCMデータを有する規格以外のものにも適用が可能である。例えば、米国ドルビー社によるAC-3規格（各チャンネル当たり256個×6チャンネル）等にも適用が可能である。

【 0 0 7 6 】

また、第1の実施例において、制御部13が、圧縮データ入力部10から出力される識別コードの検出結果に基づいて全チャンネル数Mchと、全サンプルデータ数Msampleを検出したが、この全チャンネル数Mchと、全サンプルデータ数Msampleを制御部13等に予め記憶しておき、必要に応じてこれらのデータを読み出すようにしてもよい。

【 0 0 7 7 】

また、図1における制御部13、アドレス生成部17の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより施工管理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むものとする。

【 0 0 7 8 】

また、「コンピュータ読み取り可能な記録媒体」とは、フロッピーディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ（RAM）のように、一定時間プログラムを保持しているものも含むものとする。

【 0 0 7 9 】

また、上記プログラムは、このプログラムを記憶装置等に格納したコンピュ-

タシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線等の通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。

【 0 0 8 0 】

また、上記プログラムは、前述した機能の一部を実現するためのものであっても良い。さらに、前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であっても良い。

【 0 0 8 1 】

以上、この発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【 0 0 8 2 】

【発明の効果】

以上説明したように、本発明によれば、記憶手段に記憶する音声データのチャンネル数をチャンネル検出手段によって検出するとともに、記憶手段に記憶する音声データのサンプル数を入力サンプル数検出手段によって検出し、これらの検出結果と、前記音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データの書き込むアドレスをアドレス生成手段によって生成し、音声データを記憶手段に記憶するようにした。また、記憶手段から読み出す音声データのサンプル数を出力サンプル数検出手段によって検出し、この検出結果と、記憶手段から読み出す音声データのチャンネル数と、音声データの全チャンネル数と、1つのチャンネルに含まれる全サンプル数に基づいて、音声データを読み出すアドレスをアドレス生成手段によって生成し、音声データを記憶手段から読み出すようにしたようにしたので、記憶手段の記憶領域を削減でき、バッファメモリの小型化を図ることができる。

【 0 0 8 3 】

請求項 6 記載の発明によれば、請求項 1 ないし請求項 5 記載の発明にさらに、

第 1 のアドレス生成手段によって第 1 のアドレスの順序に基づいて音声データを記憶手段に記憶した後、第 1 のアドレスの順序に基づいて音声データを読み出し、音声データが読み出されることによって音声データの書き込みが可能になったアドレスに対し、第 2 のアドレス生成手段によって第 2 のアドレスの順序に基づいて音声データを書き込むようにした。そして、第 2 のアドレスの順序に基づいて音声データを読み出した後、第 1 のアドレスの順序に基づいて音声データを書き込むようにした。このように、書き込みおよび読み出しのアドレスの順序を交互に切り替えて音声データの書き込みと読み出しを行うようにしたので、ハードウェアの規模を小さくすることができ、小型化を図ることができる効果を得られる。

また、この発明によれば、ソフトウェアの規模を小さくすることができるので、データの格納処理にかかる時間、処理量を減らすことが可能である。これにより、動作周波数を低く抑えることができ、電力を削減することが可能である。

【図面の簡単な説明】

【図 1】 この発明の一実施形態による音声データ格納装置の構成を示す概略ブロック図である。

【図 2】 図 1 におけるアドレス生成部 17 の構成を示すブロック図である。

【図 3】 図 1 の構成における装置の動作を説明するためのフローチャートである。

【図 4】 PCMデータバッファ 18 へモード 0 において PCMデータが格納された状態を示す概略図である。

【図 5】 モード 0 において PCMデータの出力が行われ、モード 1 において 0 c h の PCMデータの書き込みが行われた PCMデータバッファ 18 の格納状態を示す概略図である。

【図 6】 モード 1 において PCMデータが PCMデータバッファ 18 に格納された状態を示す概略図である。

【図 7】 この発明の第 2 の実施形態における音声データ格納装置を適用した音声データ符号化装置の構成を表わす概略ブロック図である。

【図 8】 従来の音声データ格納装置の構成を示す概略ブロック図である。

【図 9】 従来の音声データ格納装置の動作を説明するための概略ブロック図である。

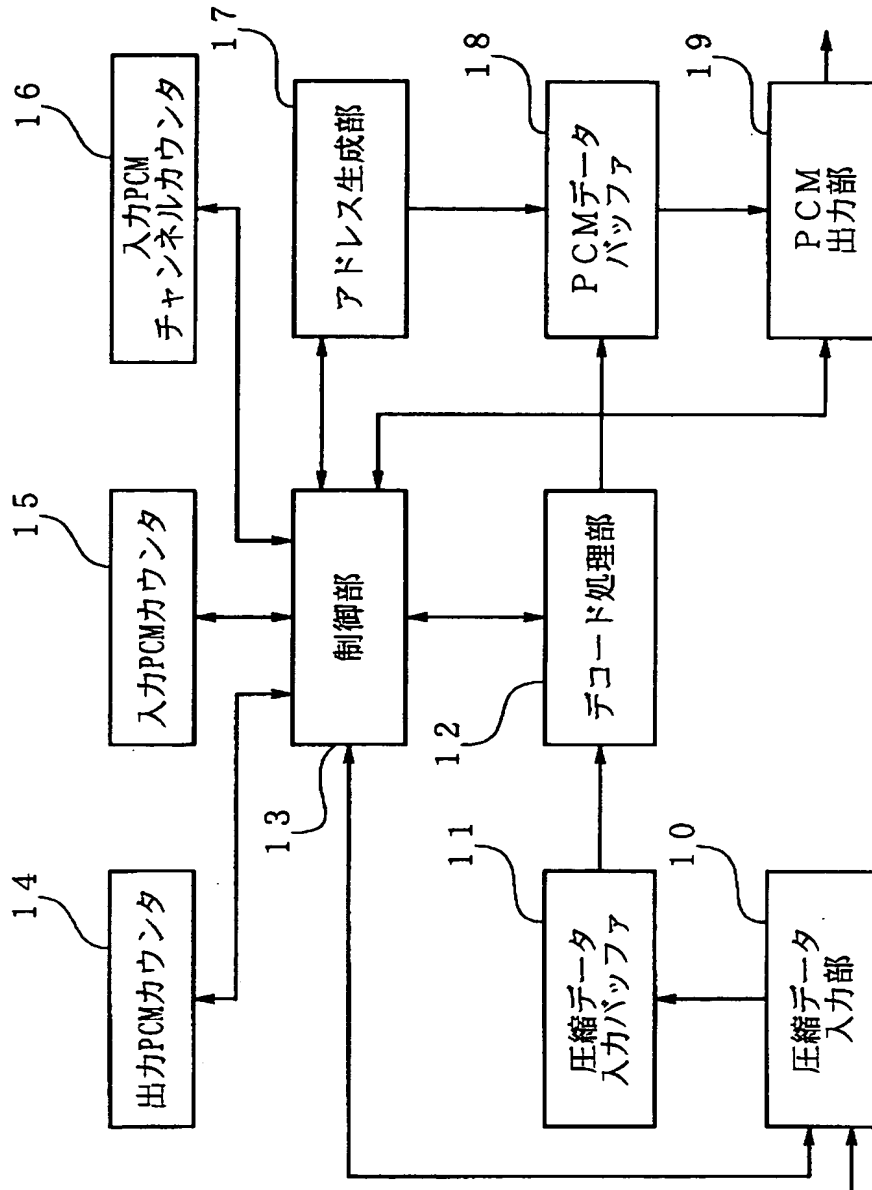
【符号の説明】

- 1 1 圧縮データ入力バッファ
- 1 2 デコード処理部
- 1 3 制御部
- 1 4 出力 PCM カウンタ
- 1 5 入力 PCM カウンタ
- 1 6 入力 PCM チャンネルカウンタ
- 1 7 アドレス生成部
- 1 8 PCM データバッファ
- 1 9 PCM 出力部

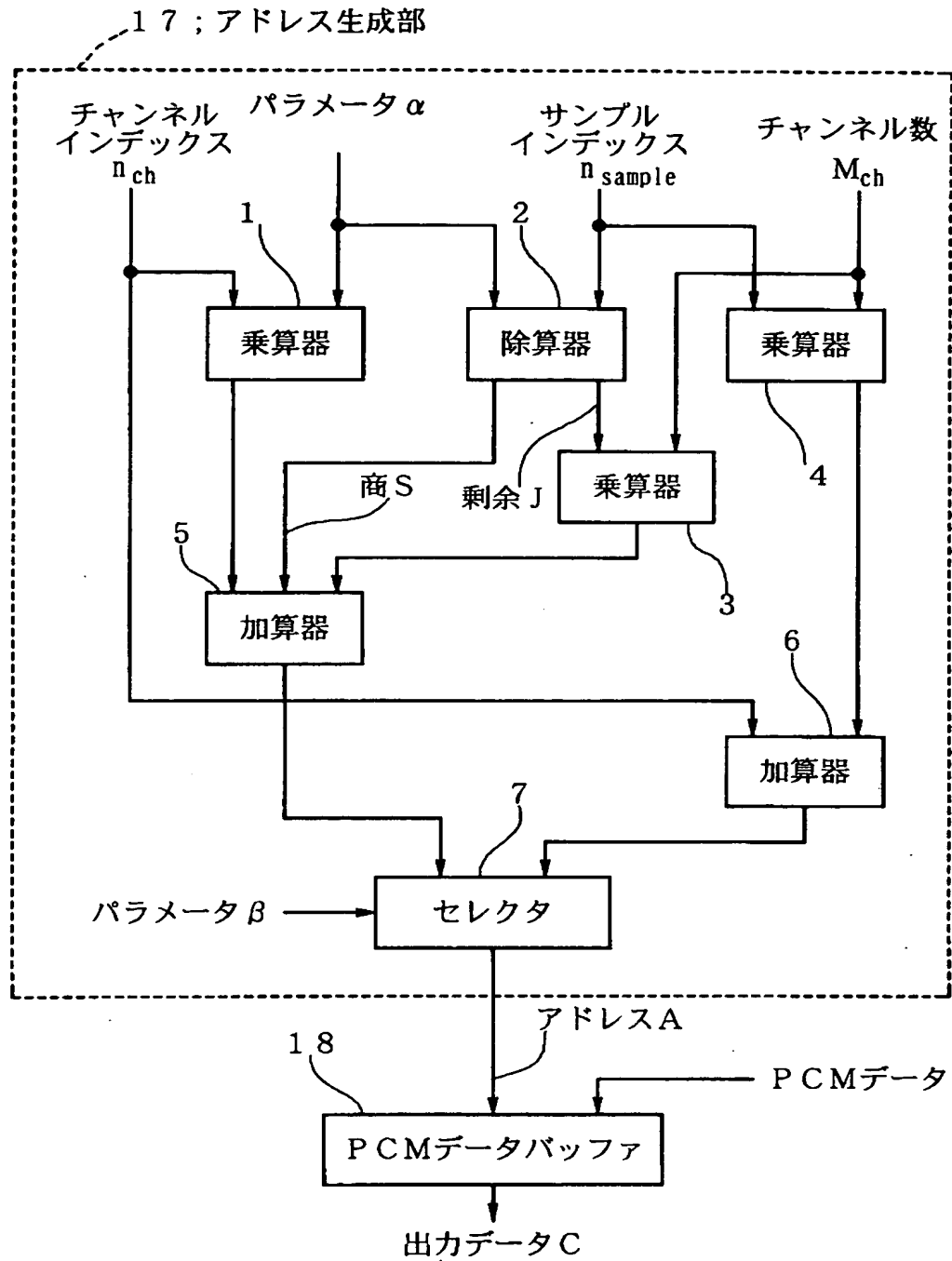
【書類名】

図面

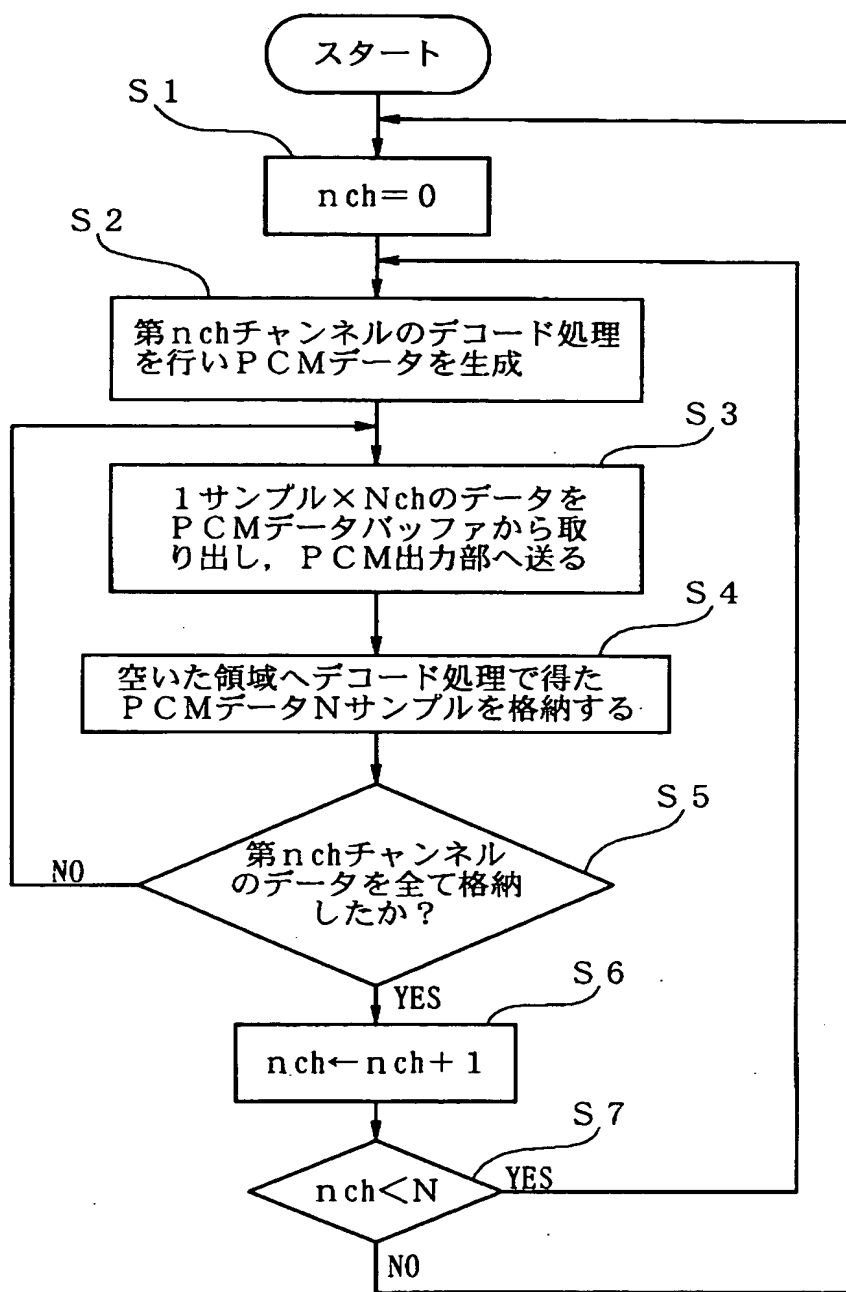
【図 1】



【図 2】



【図 3】



【図 4】

	+0	+1	+2	+3	+4	+5
0000h	0ch(0)	0ch(171)	0ch(342)	0ch(513)	0ch(684)	0ch(855)
0006h	0ch(1)	0ch(172)	0ch(343)	0ch(514)	0ch(685)	0ch(856)

03F0h	0ch(168)	0ch(339)	0ch(510)	0ch(681)	0ch(852)	0ch(1023)
03F6h	0ch(169)	0ch(340)	0ch(511)	0ch(682)	0ch(853)	0
03FCh	0ch(170)	0ch(341)	0ch(512)	0ch(683)	0ch(854)	0
0402h	1ch(0)	1ch(171)	1ch(342)	1ch(513)	1ch(684)	1ch(855)

07FEh	1ch(170)	1ch(341)	1ch(512)	1ch(683)	1ch(854)	0
0804h	2ch(0)	2ch(171)	2ch(342)	2ch(513)	2ch(684)	2ch(855)

0C00h	2ch(170)	2ch(341)	2ch(512)	2ch(683)	2ch(854)	0
0C06h	3ch(0)	3ch(171)	3ch(342)	3ch(513)	3ch(684)	3ch(855)

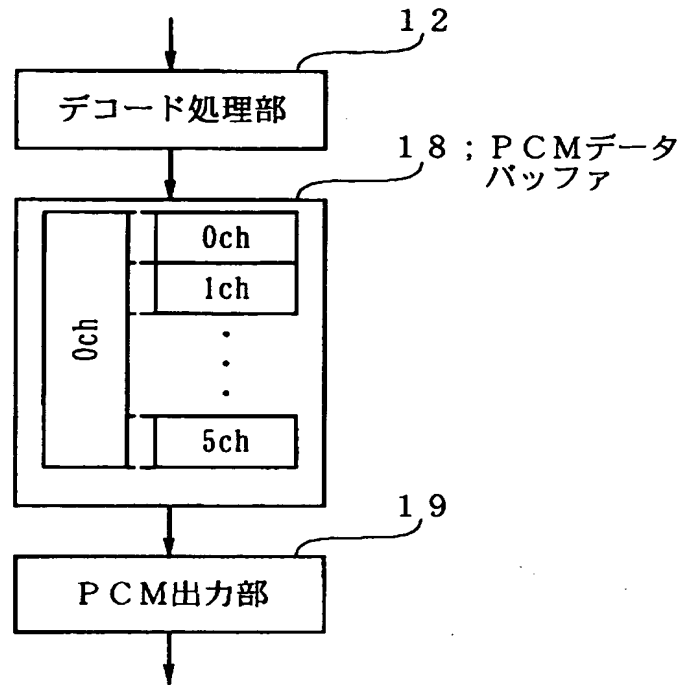
1002h	3ch(170)	3ch(341)	3ch(512)	3ch(683)	3ch(854)	0
1008h	4ch(0)	4ch(171)	4ch(342)	4ch(513)	4ch(684)	4ch(855)

1404h	4ch(170)	4ch(341)	4ch(512)	4ch(683)	4ch(854)	0
140Ah	5ch(0)	5ch(171)	5ch(342)	5ch(513)	5ch(684)	5ch(855)

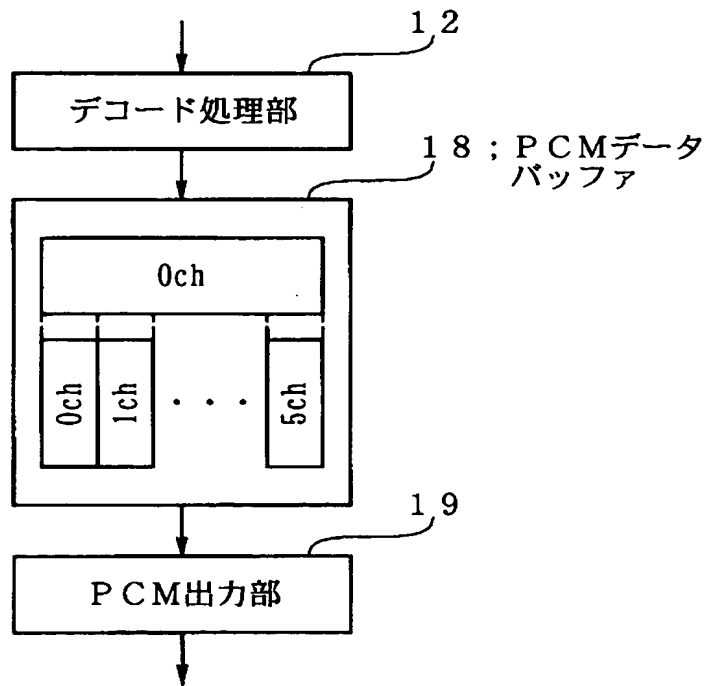
1806h	5ch(170)	5ch(341)	5ch(512)	5ch(683)	5ch(854)	0

【図 5】

(a)



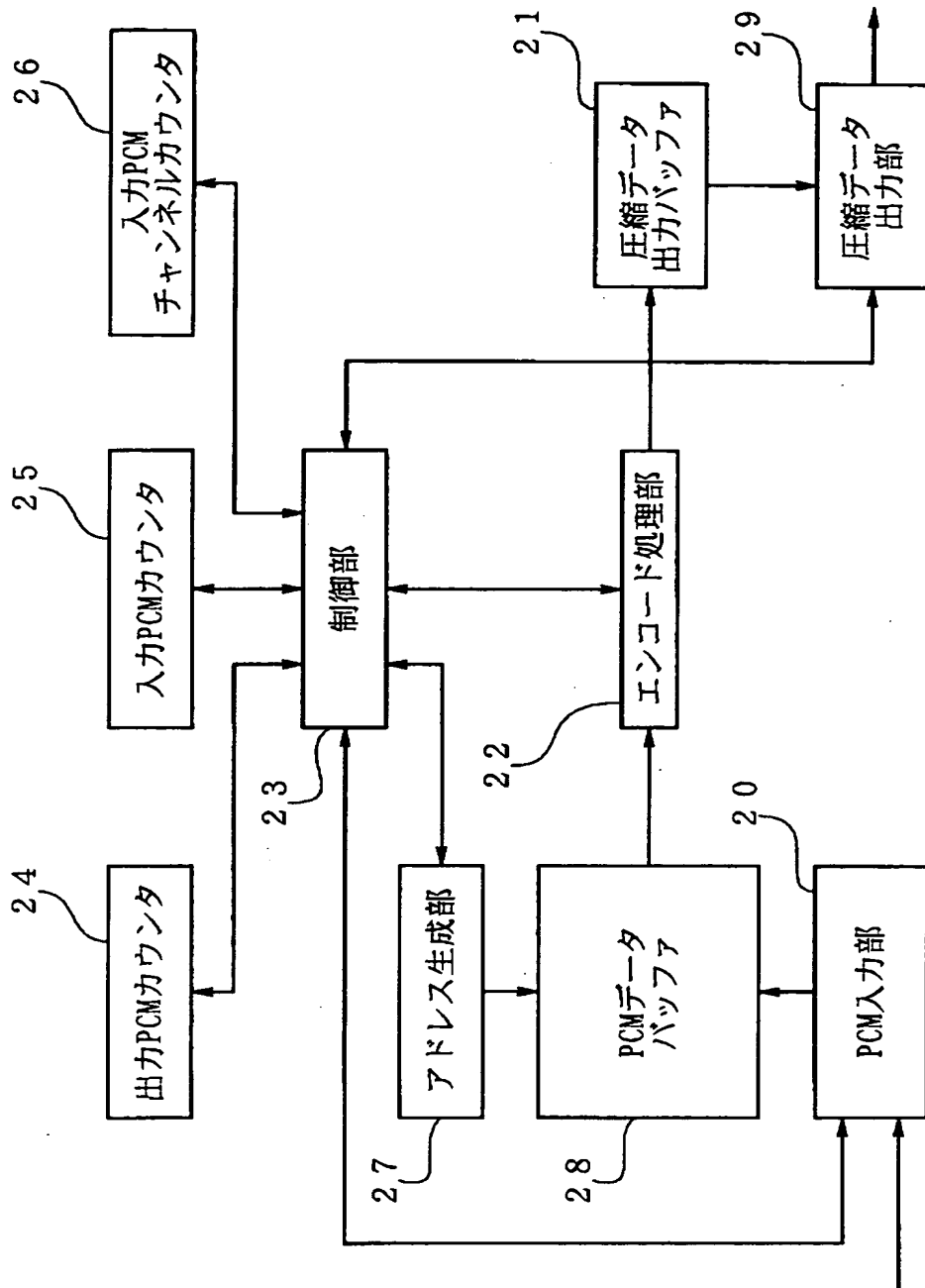
(b)



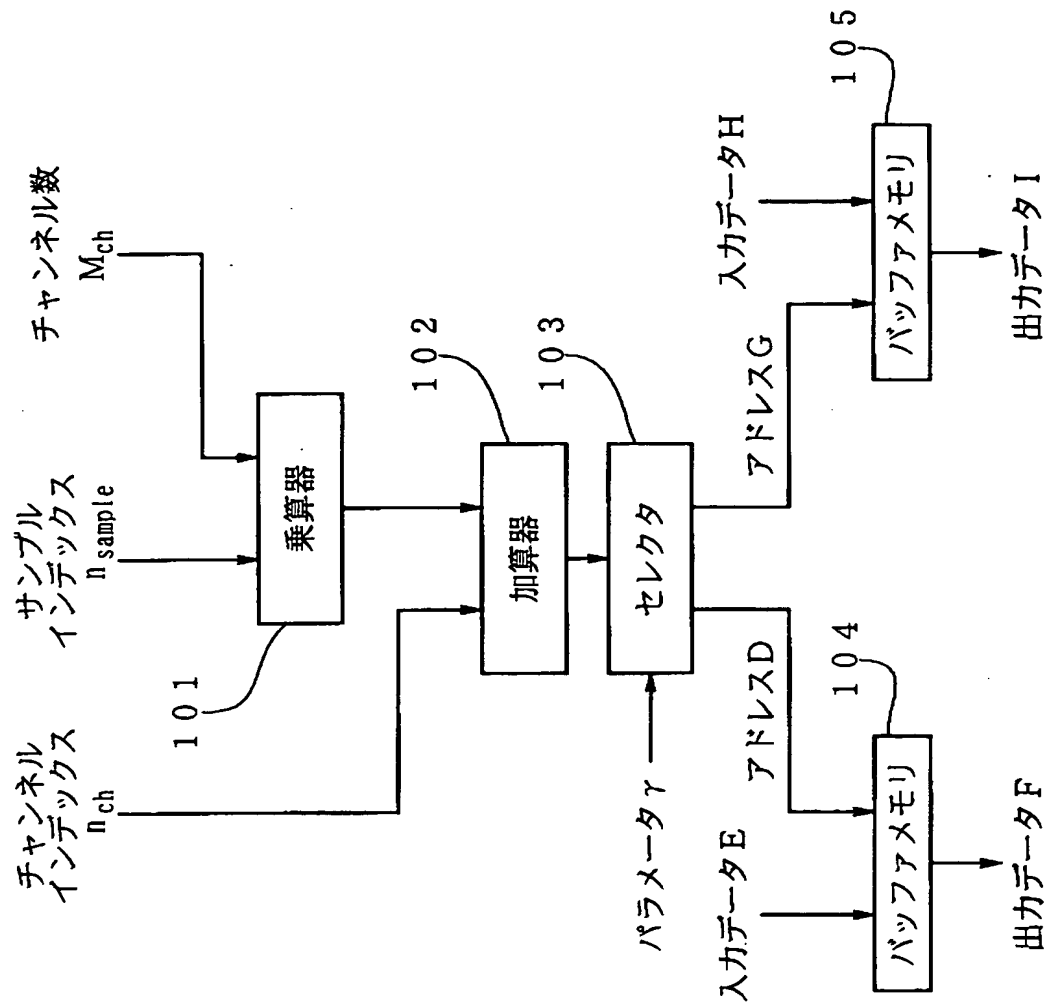
【図 6】

0000h	0ch (0)	1ch (0)	2ch (0)	3ch (0)	4ch (0)	5ch (0)
0006h	0ch (1)	1ch (1)	2ch (1)	3ch (1)	4ch (1)	5ch (1)
000Ch	0ch (2)	1ch (2)	2ch (2)	3ch (2)	4ch (2)	5ch (2)
	• • •	• • •	• • •	• • •	• • •	• • •
17FAh	0ch (1023)	1ch (1023)	2ch (1023)	3ch (1023)	4ch (1023)	5ch (1023)
1800h	0	0	0	0	0	0
1806h	0	0	0	0	0	0

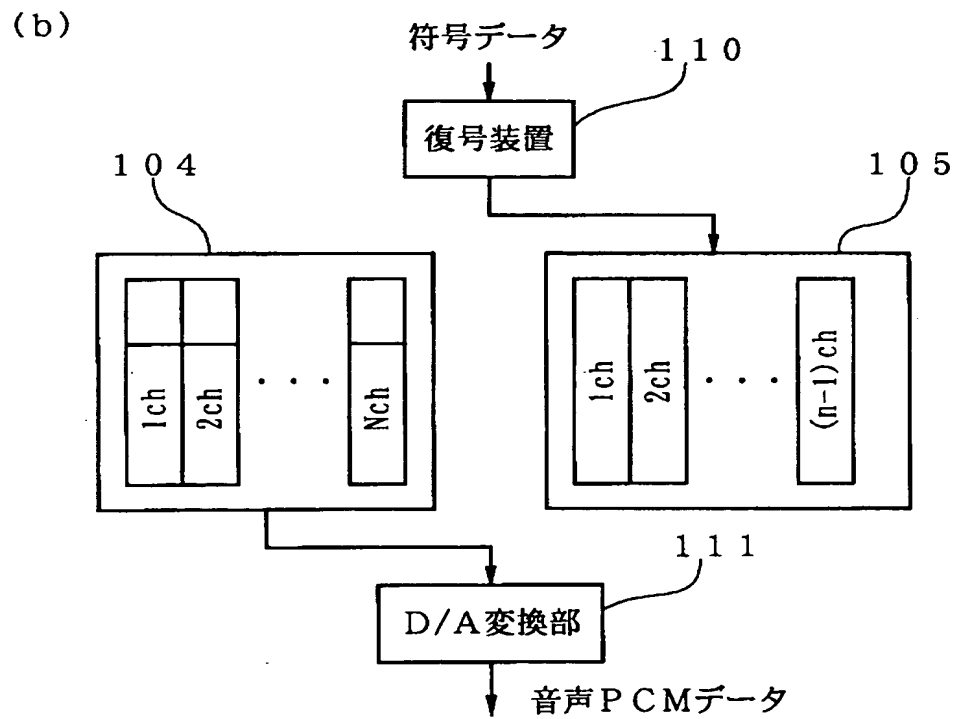
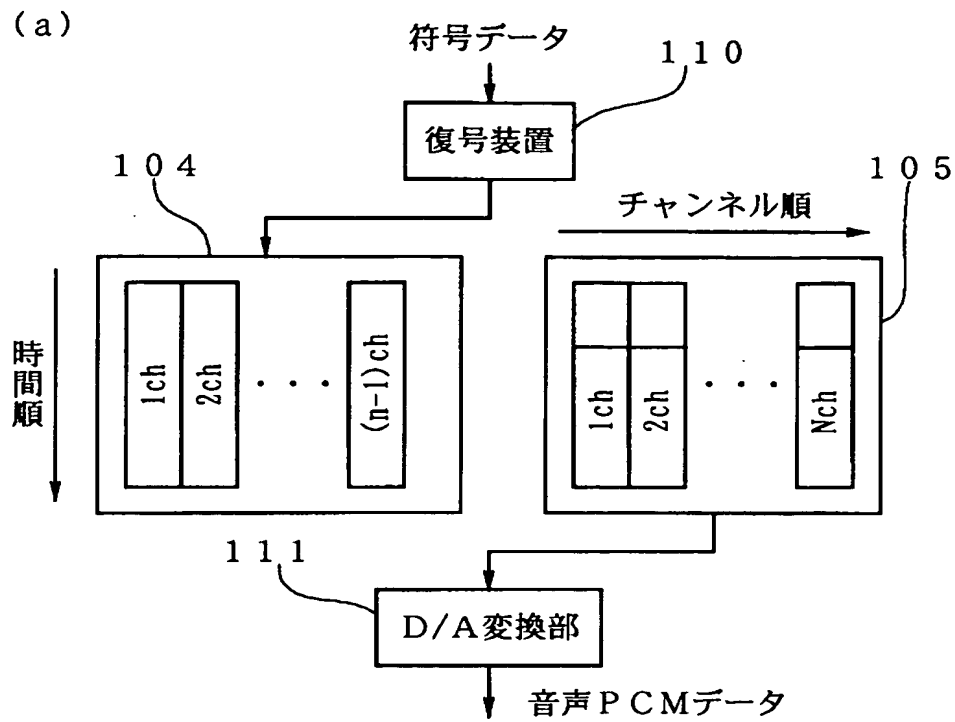
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 バッファメモリの小型化を図ることができる音声メモリ格納装置を提供する。

【解決手段】 アドレス生成部 1 7 は、各チャンネルの PCM データを制御部 1 3 からの指示に基づき、アドレス `mode 0 _ address` を生成し、PCM データバッファ 1 8 へ設定する。PCM データバッファ 1 8 は、デコード処理部 1 2 から入力される PCM データをアドレス生成部 1 7 から設定されたアドレスへ格納する。制御部 1 3 は、モード 0 において、PCM データを PCM データバッファ 1 8 から出力させる制御を行う。また、アドレス生成部 1 7 は、モード 1 におけるアドレス `mode 1 _ address` を生成し、PCM データバッファ 1 8 へ設定する。PCM データバッファ 1 8 は、デコード処理部 1 2 から入力される PCM データをアドレス生成部 1 7 から設定されたアドレスへ格納する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 0 4 4 9 6 6
受付番号	5 0 0 0 0 2 0 3 2 5 0
書類名	特許願
担当官	鈴木 夏生 6 8 9 0
作成日	平成 1 2 年 3 月 1 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

【識別番号】	申請人
【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

次頁無

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社